

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-015242

(43)Date of publication of application : 23.01.1986

(51)Int.Cl.

G06F 12/00

(21)Application number : 59-135095

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 02.07.1984

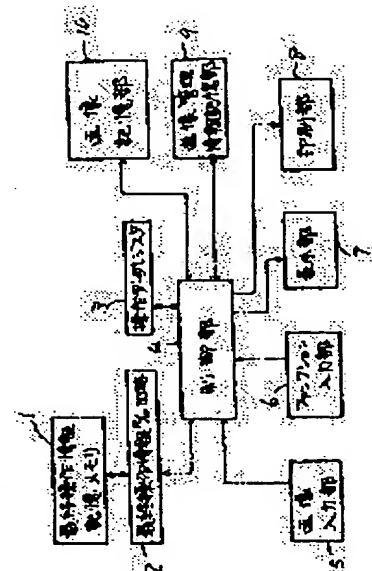
(72)Inventor : SATO MASAMITSU

(54) DOCUMENT PICTURE FILE DEVICE

(57)Abstract:

PURPOSE: To ensure the smooth continuation of operations of a document picture file device despite the discontinuation of a job, by storing the information on the operation in a discontinuation mode and displaying said stored information when a restart indicating signal is supplied.

CONSTITUTION: When an operator feeds an "interruption" key when the document registering job is discontinued, a function input part 6 sends an interruption code to a control part 4. Then the part 4 sends the final operation information on an operation register 3 to a final operation information R/W circuit 2 together with a write request signal for final operation information. The circuit 2 writes these information and signal on a final operation information memory 1. Then an operator pushes a "restart" key for restart of the job. Thus a restart code is sent to the part 4 from the part 6, and the part 4 sends a read request signal for final operation information to the circuit 2. The circuit 2 reads the final operation information out of the memory 1 and sends it to the part 4. The part 4 displays the document pictures, the names of employees, the page numbers, etc. obtained when the preceding operation is over on a display part 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑭ 日本国特許庁 (J P)

⑮ 特許出願公開

⑯ 公開特許公報 (A)

昭61-51242

⑰ Int. Cl.⁴

識別記号

庁内整理番号

⑱ 公開 昭和61年(1986)3月13日

G 06 F 9/30

7361-5B

審査請求 未請求 発明の数 1 (全3頁)

⑲ 発明の名称 命令デコード回路

⑳ 特 願 昭59-172699

㉑ 出 願 昭59(1984)8月20日

㉒ 発 明 者 小 林 登 川崎市中原区上小田中1015番地 富士通株式会社内

㉓ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

㉔ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

命令デコード回路

2. 特許請求の範囲

論理演算装置の動作制御を行う命令をデコードする回路において、マクロ命令を設定する複数のレジスタと、該レジスタを選択する選択手段と、該選択手段が選択したレジスタの内容をデコードが送出する命令の代わりに論理演算装置に送出する手段とを設け、前記デコードによって前記レジスタを選択せしめ、論理演算装置に演算させるレジスタの内容を指示させることを特徴とする命令デコード回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は実時間処理プロセッサの論理演算装置を制御する命令をデコードする回路に係り、特にオペレータが設定するマクロ命令を該論理演算装置に実行させることが可能な命令デコード回路に関する。

実時間処理プロセッサは各種通信機器及び電子機器に使用され、プログラムにより各種機能を発揮している。そしてその論理演算装置はデコードがデコードして送出する命令により、オペランドの演算を行う。

この場合オペレータが或命令があれば、前記プログラムが短くなると考えた時、該命令を設定することを可能とし、デコードが指示する命令の外に、その命令を論理演算装置に実行させることが出来れば、プロセッサの処理効率を向上させることが出来る。

(従来の技術)

第2図は従来の命令デコード回路の一例を示すブロック図である。

デコード1は命令をデコードしてレジスタ2にデータバス6からデータを格納する場合、イネーブル信号AENを送出する。又レジスタ3にデータバス6からデータを格納する場合、イネーブル信号BENを送出する。

デコード1は命令の内容により、例えば下記に

示す加減機能を論理演算装置4に C_1 、 C_2 、 C_3 の信号により指示する。即ち機能指示信号 C_1 、 C_2 、 C_3 が共に"0"の時レジスタ2に格納されているデータがAとすれば、Aをそのまま送出する。

又 C_1 、 C_2 が"0"で C_3 が"1"の時レジスタ3に格納されているデータがBならば、Bをそのまま送出する。

C_1 、 C_3 が"0"で C_2 が"1"の時はレジスタ2のデータAを演算して $-A$ を送出する。

C_1 が"0"で C_2 、 C_3 が"1"の時はレジスタ3のデータBを演算して $-B$ を送出する。

C_1 が"1"で C_2 、 C_3 が"0"の時はレジスタ2のデータAとレジスタ3のデータBを演算して論理積 $A \cdot B$ を送出する。

C_1 、 C_3 が"1"で C_2 が"0"の時はレジスタ2のデータAとレジスタ3のデータBを演算して論理和 $A \vee B$ (記号 \vee は論理和を表す)を送出する。

C_1 、 C_2 が"1"で C_3 が"0"の時はレジ

スタ2のデータAとレジスタ3のデータBを演算して $A + B$ を送出する。

C_1 、 C_2 、 C_3 が共に"1"の時はレジスタ2のデータAとレジスタ3のデータBを演算して $A - B$ を送出する。

この論理演算装置4の出力をレジスタ5はデコード1の送出するイネーブル信号DBNで格納する。

(発明が解決しようとする問題点)

上記の如く従来の命令デコード回路のデコードは論理回路で構成され、オペレータが命令を設定して論理演算装置にその命令を実行させる機能が無いという問題がある。

(問題点を解決するための手段)

上記問題点は、マクロ命令を設定する複数のレジスタと、該レジスタを選択する選択手段と、該選択手段が選択したレジスタの内容をデコードが送出する命令の代わりに論理演算装置に送出する手段とを設け、前記デコードによって前記レジスタを選択せしめ、論理演算装置に実行させるマク

ロ命令を出力させることによって解決する。

(作用)

即ち複数のレジスタにオペレータがマクロ命令を書込めるようにし、そのレジスタを選択する単位と論理演算装置に該レジスタの内容に応じて演算するサイクル数とを指定するようにしたもので、これによりプロセッサが実行することが出来ない命令を随時実施し得るようにしたものである。

つまりデコードにてデコード出来ないオペレータが設定した未定義の命令を、マクロ命令として実行させることが可能となる。

(実施例)

第1図は本発明の一実施例を示す回路のブロック図である。

第1図において符号2~6は第2図のものと対応している。デコード24は通常の動作は第2図と同様であり、イネーブル信号AEN、BEN、DBN及び機能指示信号 C_1 、 C_2 、 C_3 の各信号をOR回路18~23に夫々送出し、レジスタ2、3のデータを論理演算装置4で演算させ、レ

ジスタ5に格納する。

オペレータがプロセッサに無い命令を実行する場合、マクロ命令設定用のレジスタ7~10にオペレータがプログラムにより制御シーケンスを書込み、このシーケンスをデコード24がデコードした時制御が有効となる。レジスタ7~10はマクロ命令のオペランドにより指定されるか、又はマクロ命令のサイクル数によって選択される。

即ち例えばアセンブラ言語でMACRO a, bと書くと、aは制御シーケンスを跳出すレジスタ7~10の最初のレジスタ番号とそれに続くレジスタの順番を示し、bは制御のサイクル数を示す。これはMACRO 1, 1と書くと、制御はレジスタ1のシーケンスにより行い、1サイクル命令ということになる。

又MACRO 2, 3と書くと、1サイクル目の制御はレジスタ8のシーケンスで行い、2サイクル目の制御はレジスタ9のシーケンスで行い、3サイクル目の制御はレジスタ10のシーケンスで行う3サイクルの命令ということになる。

又MACRO 1, 3と書くと、1サイクル目の制御はレジスタ7のシーケンスで行い、2サイクル目の制御はレジスタ8のシーケンスで行い、3サイクル目の制御はレジスタ9のシーケンスで行う3サイクルの命令ということになる。

ここで例えばレジスタ7に111101と設定し、MACRO 1, 1と書いた場合の動作を説明する。デコード24は2ビットのコードをセクタ11に送出し、レジスタ7を選択すると共に、MAに"1"を送出する。

セクタ11からはレジスタ7の111101がAND回路12~17に夫々送出され、AND回路12~15の各出力は"1"でAND回路16の出力は"0"でAND回路17の出力は"1"となる。

従ってレジスタ2と3に格納されているデータ、例えばA₁とB₁とは論理演算装置4でC₁、C₂が"1"でC₃が"0"であるため、A₁+B₁がレジスタ5に格納され、データバス6のデータA₂がレジスタ2にデータB₂がレジスタ3に

夫々格納される。

本実施例ではマクロ命令設定用のレジスタ7~10を4個で説明したが、この数は任意に設定可能である。

(発明の効果)

以上説明した如く、本発明はオペレータが本来定義されていないデコード不能なマクロ命令を設定して、論理演算装置に実行させることが出来る。

4. 図面の簡単な説明

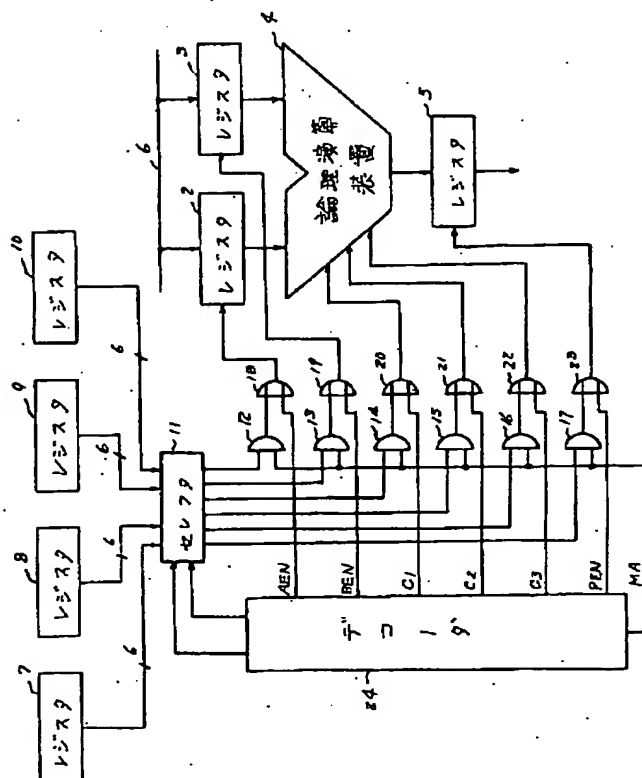
第1図は本発明の一実施例を示す回路のブロック図、

第2図は従来の命令デコード回路の一例を示すブロック図である。

図において

- 1, 24はデコード、
- 3, 5, 7~10はレジスタ、
- 4は論理演算装置、
- 11はセクタ、
- 12~17はAND回路、
- 18~23はOR回路である。

第1図



第2図

